

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077535

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 21/28

H01L 29/78

H01L 21/336

(21)Application number : 10-248498

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.09.1998

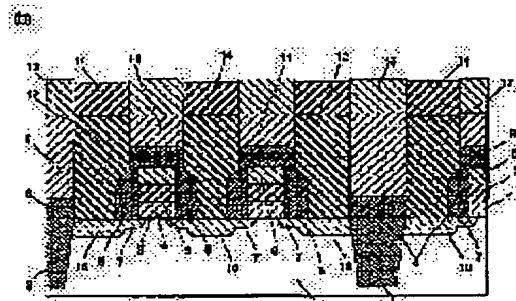
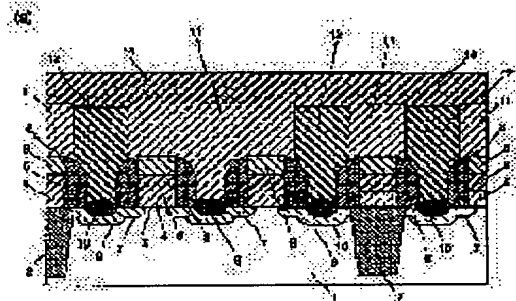
(72)Inventor : SHIBA TAKEO
 ONOUCHI YUKIHIRO
 UCHINO TAKASHI
 UMEDA KAZUNORI
 ONISHI KAZUHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can improve both the operation speed and the level of integration by providing a source/drain electrode made of metal silicide and adopting a self-aligned contact without a dry etching stopper film.

SOLUTION: A source/drain electrode 10 made of metal silicide is provided to a source and drain 9 in a field effect transistor. Then, a polycrystalline silicon film 4, a metallic gate electrode 5, a cap 6 and an insulation film 8 are formed on an element isolation region 2, forming a dummy gate which does not function as a transistor. The polycrystalline silicon film 4 and metallic gate electrode 5 of the dummy gate are made as a gate-like electrode which does not function as a gate. Thus, the parasitic resistance of the source and drain 9 is decreased, resulting in high-speed operation of a MOSFET. Furthermore, the element can be made smaller in area and the arranging pitch be also made small, thereby reducing the parasitic capacity and sharply enhancing level integration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-77535

(P 2 0 0 0 - 7 7 5 3 5 A)

(43)公開日 平成12年 3月14日(2000.3.14)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/8234		H01L 27/08	102 H 4M104
27/088		21/28	301 T 5F040
21/28	301	27/08	102 D 5F048
29/78		29/78	301 P
21/336			

審査請求 未請求 請求項の数15 O L (全9頁)

(21)出願番号 特願平10-248498

(22)出願日 平成10年 9月 2日(1998.9.2)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 芝 健夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 尾内 享裕

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100061893

弁理士 高橋 明夫 (外 1 名)

最終頁に続く

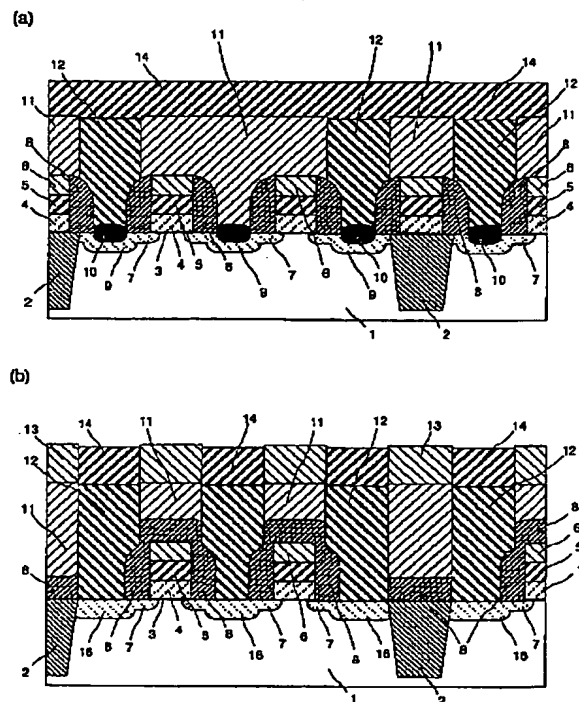
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 高速性と高集積性の双方を損なわないように、金属シリサイド又は金属によるソース電極及びドレイン電極を設け、かつ、自己整合コンタクトの適用を可能にした半導体装置及びその製造方法を提供すること。

【解決手段】 少なくとも 1 個の電界効果トランジスタのソース及びドレインに金属シリサイドによるソース電極及びドレイン電極を設け、当該電界効果トランジスタのトランジスタ活性領域に接する素子分離領域の上に、ゲート状電極及び当該電極周りに形成した絶縁膜からなるダミーゲートを設置する。

図1



【特許請求の範囲】

【請求項 1】 シリコン基板のトランジスタ活性領域に形成した不純物拡散層によるソース及びドレインと、当該シリコン基板上に形成したゲート電極及び当該電極周りに形成した絶縁膜からなるゲートとを有する電界効果トランジスタを含み、更に、トランジスタ活性領域を区分する素子分離領域を含んでなる半導体装置において、少なくとも 1 個の電界効果トランジスタは、電気的に接続するための金属シリサイドによるソース電極及びドレイン電極をそれぞれソース及びドレインに有し、当該電界効果トランジスタのトランジスタ活性領域に接する素子分離領域は、ゲート状電極及び当該電極周りに形成した絶縁膜からなるダミーゲートがその上に設置されていることを特徴とする半導体装置。

【請求項 2】 シリコン基板のトランジスタ活性領域に形成した不純物拡散層によるソース及びドレインと、当該シリコン基板上に形成したゲート電極及び当該電極周りに形成した絶縁膜からなるゲートとを有する電界効果トランジスタを含み、更に、トランジスタ活性領域を区分する素子分離領域を含んでなる半導体装置において、少なくとも 1 個の電界効果トランジスタは、電気的に接続するための金属によるソース電極及びドレイン電極をそれぞれソース及びドレインに有し、当該電界効果トランジスタのトランジスタ活性領域に接する素子分離領域は、その上にゲート状電極及び当該電極周りに形成した絶縁膜からなるダミーゲートが設置されていることを特徴とする半導体装置。

【請求項 3】 前記ソース電極及びドレイン電極は、ゲート及びダミーゲートの側壁に形成された絶縁膜に接していることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記ダミーゲートの側壁に形成された絶縁膜は、素子分離領域からはみ出し、かつ、隣接する不純物拡散層上にまたがるように位置していることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記ゲート及びダミーゲートは、側壁に形成された絶縁膜が 1 層の膜からなることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 6】 前記ソース電極及びドレイン電極と電気的な接触をとるプラグ電極を形成するためのコンタクト開口部がソース電極及びドレイン電極を覆い、かつ、ゲートの側壁に形成された絶縁膜及びダミーゲートの側壁に形成された絶縁膜の少なくともいずれかにまたがるように位置していることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 7】 ダミーゲートが配置された素子分離領域以外の素子分離領域は、その上にダミーゲートの側壁に形成した絶縁膜と同一の材料による絶縁膜が形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 8】 少なくとも 1 個のダミーゲートのゲート状電極が配線層として使用されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 9】 シリコン基板のトランジスタ活性領域に形成した不純物拡散層によるソース及びドレインと、当該シリコン基板上に形成したゲート電極及び当該電極周りに形成した絶縁膜からなるゲートとを有する電界効果トランジスタを含み、更に、トランジスタ活性領域を区分する素子分離領域を含んで構成した論理回路とメモリ回路とを混載してなる半導体装置において、

前記論理回路の部分は、ゲート状電極及び当該電極周りに形成した絶縁膜からなるダミーゲートが素子分離領域の上に設置され、かつ、電気的に接続するための金属シリサイドによるソース電極及びドレイン電極がそれぞれソース及びドレインに形成されており、前記メモリ回路の部分は、素子分離領域の上にダミーゲートの側壁に形成した絶縁膜と同一の材料による絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 10】 前記ソース電極及びドレイン電極は、ゲート及びダミーゲートの側壁に形成された絶縁膜に接していることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記ダミーゲートの側壁に形成された絶縁膜は、素子分離領域からはみ出し、かつ、隣接する不純物拡散層上にまたがるように位置していることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記ゲート及びダミーゲートは、側壁に形成された絶縁膜が 1 層の膜からなることを特徴とする請求項 9 に記載の半導体装置。

【請求項 13】 前記ソース電極及びドレイン電極と電気的な接触をとるプラグ電極を形成するためのコンタクト開口部がソース電極及びドレイン電極を覆い、かつ、ゲートの側壁に形成された絶縁膜及びダミーゲートの側壁に形成された絶縁膜の少なくともいずれかにまたがるように位置していることを特徴とする請求項 9 に記載の半導体装置。

【請求項 14】 プロセッサと主記憶装置と制御装置とを含む計算機システムにおいて、前記プロセッサは、シリコン基板のトランジスタ活性領域に形成した不純物拡散層によるソース及びドレインと当該シリコン基板上に形成したゲート電極及び当該電極周りに形成した絶縁膜からなるゲートとを有する電界効果トランジスタを含み、更に、トランジスタ活性領域を区分する素子分離領域とを含んで構成した論理回路とメモリ回路とを混載してなる半導体装置であって、前記論理回路の部分は、ゲート状電極と当該電極周りに形成した絶縁膜とからなるダミーゲートが素子分離領域の上に設置され、かつ、電気的な接触をとるための金属シリサイドによるソース電極及びドレイン電極がそれぞれソース及びドレインに形成されており、前記メモリ回路の部分は、素子分離領域

の上にダミーゲートの側壁に形成した絶縁膜と同一の材料による絶縁膜が形成されている半導体装置によって構成されていることを特徴とする計算機システム。

【請求項 15】 シリコン基板に素子分離領域を形成する工程と、シリコン基板のトランジスタ活性領域にゲートを形成し同時に論理回路の素子分離領域上にダミーゲートを形成する工程と、ゲート相互間及びゲートとダミーゲート間のシリコン基板に第 1 の不純物拡散層を形成する工程と、第 1 の不純物拡散層の形成後のシリコン基板上に第 1 の絶縁膜を堆積する工程と、論理回路部分の第 1 の不純物拡散層上の第 1 の絶縁膜に第 1 の穴を開く工程と、開口した第 1 の穴に露出している不純物拡散層にソース及びドレインとなる第 2 の不純物拡散層を形成し続いて金属シリサイドによるソース電極及びドレイン電極を形成する工程と、当該ソース電極及びドレイン電極を形成後のシリコン基板に第 2 の絶縁膜を堆積する工程と、第 1 の不純物拡散層の上方を含む第 2 の絶縁膜の所定の位置に自己整合コンタクトを設けるための第 2 の穴を開く工程と、開口した第 2 の穴のメモリ回路部分の第 1 の絶縁膜をエッチングしてから第 1 の不純物拡散層にソース及びドレインとなる第 3 の不純物拡散層を形成する工程と、第 3 の不純物拡散層の形成後に第 2 の穴に金属を充填してプラグ電極を形成する工程とを少なくとも含んでなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOS (Metal Oxide Semiconductor) 型電界効果トランジスタを集積化してなる半導体装置、特に論理回路とメモリ回路を混載して構成する場合に適用して好適な半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来の MOS 型電界効果トランジスタ (以下「MOSFET」と称する) を集積化した論理集積回路では、動作速度を高めるためにソース電極及びドレイン電極の寄生抵抗を低減することが重要なポイントとなる。そのための技術として、シリコン基板に形成したソース不純物拡散層及びドレイン不純物拡散層 (以下「ソース/ドレイン拡散層」という) 領域を金属によりシリサイド化し、この金属シリサイド膜をソース電極及びドレイン電極 (以下「ソース/ドレイン電極」という) に用いる技術が知られていた (例えば、1988 年度の電子素子に関する国際会議 (IEDM88: International Electron Devices Meeting 88) 論文集の第 5 6 頁～第 59 頁参照)。

【0003】 この MOSFET の断面を図 7 に示す。シリコン基板 51 に設けた MOSFET のソース/ドレイン拡散層 55 及びゲート酸化膜 53 の上のゲート電極 54 をチタンやコバルトなどの金属によりシリサイド化す

ることにより、低抵抗の金属シリサイド電極 58, 59 を形成し、素子を高性能化していた。なお、MOSFET は、素子分離領域 52 によって相互に分離され、また、ゲート電極 54 は、その側壁に形成した絶縁膜 56 によって電極 58 から絶縁される。

【0004】 一方、MOSFET とキャパシタからなるメモリセルを集積化したメモリ集積回路においては、メモリセルを高集積化する技術として、電極コンタクト開口部をゲート (ゲート電極とそれを覆う絶縁膜の全体を「ゲート」という) と素子分離領域にまたがるように設ける、いわゆる自己整合コンタクト技術が知られていた (例えば、1996 年度の超 LSI 技術に関する国際会議 (1996 Symposium on VLSI Technology) 論文集の第 144 頁～第 147 頁参照)。

【0005】 この MOSFET の断面を図 8 に示す。電極コンタクト開口部に形成されたプラグ電極 70 は、ゲートの外側絶縁膜 68 及び素子分離領域 62 の上の外側絶縁膜 68 の少なくともいずれかにまたがっている。そのようなプラグ電極 70 を設けることにより、隣接するコンタクト開口部との間隔を短縮し、集積度を向上していた。なお、図 8 では開口部が素子分離領域 62 の上の絶縁膜 68 の丁度縁に接しているが、製造誤差によって開口部が少し左にずれて双方の絶縁膜 68 にまたがっても支障はなく、そのようなずれが許容される。プラグ電極 70 は、絶縁膜 69 に明けた開口部に金属を埋め込むことによって形成され、拡散層 67 を上部の配線 (図示せず) に電氣的に接続する。

【0006】

【発明が解決しようとする課題】 超高速高集積プロセス LSI や超高速メモリ LSI では、同一チップ上に論理回路とメモリ回路を混在させることが一般的に行なわれる。このような LSI で高速性を維持したまま集積度を高めるためには、論理回路部分には金属シリサイドによるソース/ドレイン電極が、またメモリセル部分と論理回路部分には自己整合コンタクト技術が必要となるが、通常は MOSFET がメモリ回路と論理回路で同時に形成されるので、メモリセルにも金属シリサイドによるソース/ドレイン電極が形成される。

【0007】 そのようなメモリセルのゲート電極 64 周りの構造は、図 9 に示すように、不純物拡散層を生成する際に必要になる側壁膜 66 と自己整合コンタクト形成時に必要になる絶縁膜 68 の両者を設けた構造となる。また、素子分離領域 62 の上にも自己整合コンタクト形成時に必要になる絶縁膜 68 が設けられる。

【0008】 自己整合コンタクト形成は、絶縁膜 69 にエッチングで穴を開き、穴にプラグ電極 70 を埋め込むことによって行なわれる。このとき、絶縁膜 68 を絶縁膜 69 に対してドライエッチストップとなる膜にすれば、絶縁膜 66 や素子分離領域 62 は、絶縁膜 68 によって保護されてエッチングされることがない。それによ

り、プラグ電極70がゲート電極64や基板61と短絡する不都合が回避される。このように、ゲートの側壁には、側壁膜66とドライエッチストッパの絶縁膜68の2層の膜を形成せざるを得ない。論理回路部分も同様の構造となる。

【0009】ところが集積度を高めるために素子の微細化を進めると、隣接するゲート間の間隔が狭まり、側壁膜66とドライエッチストッパ膜68の両者を設けるスペースがなくなり、ソース及びドレイン領域に金属シリサイド電極を設けることと、自己整合コンタクトを行なうこととを両立させることが困難になる問題点があった。

【0010】本発明の目的は、従来技術の前記問題点を解決し、高速性と高集積性の双方を損なわないように、金属シリサイド又は金属によるソース電極及びドレイン電極を設け、かつ、自己整合コンタクトの適用を可能にした新規の半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明の前記課題は、少なくとも1個の電界効果トランジスタのソース及びドレインに金属シリサイドによるソース/ドレイン電極を設け、当該電界効果トランジスタに接する素子分離領域の上に、ゲート状電極及び当該電極周りに形成した絶縁膜からなるダミーゲートを設置することによって効果的に解決がすることが可能である。そのような手段を採用すれば、素子分離領域の上では、ダミーゲートがドライエッチストッパとして機能するため、ゲート及びダミーゲートの側壁に形成する絶縁膜をドライエッチストッパとして機能する膜の1層とすることが可能となり、側壁膜とドライエッチストッパ膜の2層構造とする必要がなくなるからである。一方、電界効果トランジスタに前記ソース電極及びドレイン電極を設けない部分では、云うまでもなくドライエッチストッパ膜がもともと不要であり、ゲートの側壁に形成する絶縁膜は1層でよい。

【0012】さて、メモリセルの電界効果トランジスタは、論理回路の高速動作が要求されないため金属シリサイドによる電極を設けなくとも支障がない。そのため、ソース/ドレイン電極を設ける電界効果トランジスタを例えば論理回路に採用し、当該電極を設けない電界効果トランジスタを例えばメモリ回路に採用することが可能である。そのように構成した半導体装置では、ゲート及びダミーゲートの側壁膜は1層の絶縁膜でよく、それによってスペースを増大させ、ゲート電極の配置ピッチを短縮することができる。

【0013】このようにして本発明により、金属シリサイドのソース/ドレイン電極の設置による速度向上と、ドライエッチストッパ膜を用いない自己整合コンタクトの採用による集積度向上とを両立させた半導体装置を実現させることが可能になる。

【0014】なお、ダミーゲートは、電界効果トランジスタのゲートと同時に形成可能であり、側壁の絶縁膜が素子分離領域からはみ出し、かつ、隣接する不純物拡散層上にまたがるように加工される。ダミーゲートの電極は、電界効果トランジスタのゲート電極と組成、膜厚は同一であるがゲートとして機能しないので、本明細書ではゲート状電極と称することとする。

【0015】また、ソース/ドレイン電極は、金属シリサイドに限るものではなく、埋め込み金属による電極とすることも可能である。

【0016】

【発明の実施の形態】以下、本発明に係る半導体装置及びその製造方法を幾つかの図面に示した実施例による発明の実施の形態を参照して更に詳細に説明する。

【0017】

【実施例】<実施例1>本実施例は、論理回路としてプロセッサを、メモリ回路としてスタティックランダムアクセスメモリ(SRAM)回路を採り上げ、両者を混載したCMOS(Complimentary MOS)集積回路である。

図1aに論理回路部分の断面構造を示し、図1bにSRAMメモリセル部分の断面構造を示す。また、論理回路部分の平面を図2に示す。図1aは、図2のA-A線で切った断面図である。なお、CMOS集積回路を構成するnMOSFETとpMOSFETの構造及び製造方法は、不純物導電型を逆にする以外は同じであるので、これらの図ではnMOSFETの部分を示している。

【0018】図1a、1bにおいて、1はシリコン基板、2は基板1に形成した素子分離領域、3は基板1上に形成したゲート酸化膜、4はゲート酸化膜3上に形成したゲート多結晶シリコン膜、5は多結晶シリコン膜4上に形成した金属ゲート電極、6は金属ゲート電極5の上に形成した絶縁膜からなるキャップ、7は基板1に形成した不純物拡散層、8は絶縁膜、9は不純物拡散層7に更に形成したソース/ドレイン拡散層(論理回路)、16は不純物拡散層7に更に形成したソース/ドレイン拡散層(メモリセル)、10はソース及びドレイン拡散層9に形成した金属シリサイドによるソース/ドレイン電極、11は絶縁膜、12はソース/ドレイン電極10(論理回路)及びソース/ドレイン拡散層16(メモリセル)に電気的に接触するように形成したプラグ電極、13は絶縁膜、14はプラグ電極に電気的に接触するように形成した配線層を示す。

【0019】図1aに示すように、論理回路部分においては、素子分離領域2の上にMOSFETと同様の多結晶シリコン膜4、金属ゲート電極5、キャップ6及び絶縁膜8が形成され、これらがトランジスタとして作用しないダミーゲートとなる。ダミーゲートの多結晶シリコン膜4及び金属ゲート電極5がゲートとしては機能しないゲート状電極となる。

【0020】このゲート状電極は、素子分離領域2から

はみ出ることなく同膜のなす上面に包含されて配置され、ダミーゲートの側壁の絶縁膜8は、素子分離領域2からはみ出し、かつ、隣接する不純物拡散層7上にまたがるように配置される。

【0021】なお、MOSFETにおいては、ゲート多結晶シリコン膜4及び金属ゲート電極5によってゲート電極が形成される。絶縁膜8は、論理回路部分においては、ゲート電極とキャップ6の側壁及びゲート状電極とキャップ6の側壁に形成した1層の絶縁膜であり、メモリセル部分においては、ゲート電極とキャップ6の全体を覆う絶縁膜でありかつ素子分離領域2の上に形成した1層の絶縁膜である。

【0022】図2の平面図では、ゲート電極及びその周囲のキャップ6及び絶縁膜8からなるゲートを記号22、ダミーゲートを記号23で示した。更に図2において、21はMOSFETを形成するトランジスタ活性領域、25は配線層14を配置した配線層領域である。

【0023】図1の絶縁膜11は、ゲート形成後の基板1のほぼ全面を覆うもので、絶縁膜11の所定の位置に明けたコンタクト開口部に金属を埋め込んで図1及び図2に示すプラグ電極12が形成される。

【0024】本実施例においては、絶縁膜11をシリコン酸化膜とし、絶縁膜8をシリコン酸化膜に対してドライエッチングのときに選択比を取ることができるシリコン窒化膜とした。加えて、キャップ6も同じくシリコン窒化膜とした。

【0025】このような絶縁膜の選択により、プラグ電極12を埋め込むためのコンタクト開口部を明けるときに、シリコン窒化膜のキャップ6及び絶縁膜8がシリコン酸化膜である絶縁膜11のドライエッチングに対するストッパ膜として機能するため、プラグ電極12がゲート電極と短絡すること、更に、素子分離領域2でプラグ電極12がシリコン基板1と短絡することが防止される。その結果、ゲート22及び素子分離領域2にまたがる自己整合コンタクトが可能になり、ゲート22及びプラグ電極12の配置ピッチを従来以上に詰めることが可能となる。

【0026】続いて、本実施例のCMOS集積回路の製造方法を図3を用いて説明する。図3でも、トランジスタはnMOSFETの部分を示している。図3aに示すように、まずシリコン基板1を用意し、素子分離溝を所望の位置に選択的に設け、そこに酸化膜が埋め込んで素子分離領域2を形成した。

【0027】その後、n型ウエル拡散層とp型ウエル拡散層を設け（両者とも図示せず）、続いてゲート酸化膜3を形成した。次に、n型不純物原子を含む多結晶シリコン膜4と、タングステン膜5と、シリコン窒化膜によるキャップ6との積層膜を150nm前後の膜厚で堆積した。なお、膜4は、pMOSFETの場合にはp型不純物原子を含む多結晶シリコン膜とした。

【0028】この積層膜をゲート長が100nm～150nm程度になるように所望の形状に加工し、ゲート及び論理回路部分の素子分離領域2の上のダミーゲートを形成した。なお、メモリ回路部分ではダミーゲートが形成されないように加工形状が設定される。このようにして、図2に示す活性領域21上のゲート22と素子分離領域2上のダミーゲート23を形成した。その後、n型不純物拡散層7を化学的気相堆積法（CVD）により形成し、続いてシリコン窒化膜の絶縁膜8を100nm前後の膜厚で堆積した。なお、拡散層7は、pMOSFETの場合にはp型不純物拡散層とした。

【0029】論理回路部分の次の工程を図3bを用いて説明する。ドライエッチングにより論理回路部分の絶縁膜8をゲート電極の側壁に残るように開口し、拡散層7の上に更にn型不純物拡散層9を形成し、ソース及びドレインとした。なお、拡散層9は、pMOSFETの場合にはp型不純物拡散層とした。また、メモリ回路部の絶縁膜8は、この段階では加工せずそのまま残した。従って、拡散層9は、論理回路部分にのみ形成される。

【0030】続いて、チタンやコバルトなどの金属を用いた金属シリサイド電極を、ソース及びドレインである拡散層9が露出した領域上にのみ選択的に形成した。この金属シリサイド電極がソース／ドレイン電極10となる。

【0031】その後、シリコン酸化膜の絶縁膜11をCVD法により堆積し、ドライエッチングにより絶縁膜11に自己整合コンタクトのための穴を開口した。なお、絶縁膜11の堆積及びそれへの開口は、論理回路部分、メモリ回路部分の区別なく全面に行なわれる。

【0032】この絶縁膜11にドライエッチングを行なうとき、前述のように、シリコン窒化膜のキャップ膜6及び絶縁膜8がドライエッチングのストッパ膜となるため、絶縁膜8が保護膜となって多結晶シリコン膜4、金属ゲート電極5及び素子分離領域2が露出することがない。従って、ゲート22に対して合わせずれが起きてコンタクトの開口位置がゲート22又は素子分離領域2にまたがるように配置されても、コンタクト開口部に埋め込んだプラグ電極がゲート電極やシリコン基板1に電気的な短絡を起こすことがない。

【0033】続いて、メモリ回路部分の次の工程を図3cを用いて説明する。メモリセル領域では、ダミーゲートをコンタクト開口部の周辺に沿って置くことが困難であるため、図3aの工程終了段階で素子分離領域2の上は、絶縁膜8が堆積した状態になっている。更に、図3bの工程終了段階で絶縁膜11にコンタクト開口部が明けられた状態になっている。この状態で、メモリセル領域のみ選択的にシリコン窒化膜の絶縁膜8を開口した。このとき、ゲート電極の側壁に絶縁膜8を残した。その後、メモリセル領域のみ選択的に拡散層7の上に更にn型不純物拡散層16を形成し、ソース及びドレインとし

た。なお、拡散層 9 は pMOSFET の場合には p 型不純物拡散層とした。

【0034】図 3 b, 3 c の工程が終了してから、コンタクト開口部にタングステンや窒化チタンなどを充填してプラグ電極 12 を形成し、MOSFET を形成した。最後に内部配線や電源線などの必要な配線 14 を行なつて、図 1 a の論理回路部分を集積したプロセッサと、図 1 b のメモリ回路部分を集積した SRAM とを混載してなる CMOS 集積回路を完成させた。本実施例では、論理回路部分に金属シリサイド化したソース電極及びドレイン電極を具備することによって MOSFET の動作速度を高めることができ、更に、スペースを広げた自己整合コンタクトによって論理回路部分とメモリ部分の集積度を高めることができたため、超高速で高集積の SRAM 搭載プロセッサを実現することができた。

【0035】<実施例 2> 実施例 1 における金属シリサイドのソース/ドレイン電極を埋めこみ金属によるソース/ドレイン電極に代えた実施例を図 4 に示す。図 4 a に論理回路部分の断面構造を示し、論理回路部分の平面を図 4 b に示す。図 4 a は、図 4 b の A・A 線で切った断面図である。本実施例は、図 4 で説明される論理回路領域のトランジスタ製造工程以外は、実施例 1 と同じである。

【0036】図 3 b に示した論理回路領域において、ソース及びドレインとなる不純物拡散層 9 を形成した後、ゲート電極に挟まれたソース及びドレイン領域の拡散層 9 上に、タングステンや窒化チタンなどの金属を充填した。このとき、ダミーゲート 30 をゲート幅よりも長く配置したため、充填した金属がソース/ドレイン拡散層領域上を覆い尽くしてソース/ドレイン電極 31 となり、同電極が実施例 1 の金属シリサイド電極 10 の代用として機能した。

【0037】その後、素子分離領域 2 やメモリセル領域の上の金属を選択的に除去し、自己整合コンタクト加工のドライエッチストップ膜として作用するシリコン窒化膜 32 と、シリコン酸化膜の絶縁膜 11 を堆積し、自己整合コンタクトための開口の加工を行ない、更にプラグ電極 12 の充填を行ない、MOSFET を形成した。

【0038】最後に内部配線や電源線などの必要な配線を行つて、論理回路部分を集積したプロセッサと、図 1 b のメモリセル部分を集積した SRAM とを混載してなる CMOS 集積回路を完成させた。本実施例でも、論理回路部分に金属電極からなるソース電極及びドレイン電極を具備することによって MOSFET の動作速度を高めることができ、更に、スペースを広げた自己整合コンタクトにより、論理回路部分とメモリ部分の集積度を高めることができたため、超高速で高集積の SRAM 搭載プロセッサを実現することができた。

【0039】<実施例 3> CMOS 論理回路とダイナミックランダムアクセスメモリ (DRAM) 回路を混載し

た集積回路に本発明を適用した。論理回路及びメモリセル周辺回路は、図 1 a に示した CMOS 回路により構成し、メモリセルは、図 5 の断面構造図に示されたメモリキャパシタ付き MOSFET により構成した。

【0040】図 5 において、107 はソース及びドレインとなる不純物拡散層、111, 113, 114 は絶縁膜、112 は不純物拡散層 107 に接続されるプラグ電極、115 は配線層、116 はキャパシタである。

【0041】論理回路部及びメモリセル周辺回路部のプラグ電極 12 とメモリセル部のプラグ電極 112 は、いずれも窒化チタンやチタン又はタングステンなどの耐熱性のある金属により形成した。更に、メモリセル部ではキャパシタ 116 を多結晶シリコンにより形成した。なお、メモリキャパシタ 116 は、高誘電体材料や強誘電体材料を用いて形成することも可能である。これらの素子を金属配線により接続して集積回路を形成することにより、高速 CMOS 論理回路と大容量ダイナミックメモリ回路を混載した集積回路を完成させた。

【0042】この集積回路を応用し、動画像を高速に処理する高速 CMOS 論理回路と、動画像を取り込むために必要な大容量 DRAM 回路の混載するマルチメディア向け高速画像処理用集積回路を実現させた。

【0043】また、メモリ周辺回路を図 1 の MOSFET で構成された高速 CMOS 回路により形成し、メモリセルを図 5 のメモリキャパシタ付き MOSFET により形成することにより、高速で大容量の DRAM 集積回路を実現することができた。更に、この集積回路を通信システムに応用することにより、低消費電力メモリを搭載した通信用高周波集積回路を実現することができた。

【0044】<実施例 4> 本発明を適用した計算機システムの例を図 6 に示す。同図において、500 は命令や演算を処理するプロセッサ、501 はシステム制御装置、502 は主記憶装置、503 はデータ通信インタフェース、504 はデータ通信制御装置、505 は入出力プロセッサ、506 は、複数のプロセッサ 500、システム制御装置 501 及びデータ通信インタフェース 503 を搭載したセラミック基板である。

【0045】プロセッサ 500、システム制御装置 501 及び主記憶装置 502 は、それぞれ実施例 1~3 のいずれかの集積回路を用いて構成することにより、いずれも 1 辺が約 10~30 mm のシリコン半導体チップで構成することができた。

【0046】データ通信インタフェース 503 は、本発明の集積回路によるほか、化合物半導体集積回路によって構成することも可能である。このようなデータ通信インタフェース 503 及びデータ通信制御装置 504 をセラミック基板 507 に実装した。セラミック基板 506, 507 と、主記憶装置 502 を実装したセラミック基板とを 1 辺が約 50 cm 程度の大きさの基板に実装し、大型計算機の中央処理ユニット 508 を完成させ

10

20

30

40

50

た。

【0047】なお、中央処理ユニット508には、データ通信インタフェース503と入出力プロセッサ505を実装した複数の基板509が接続される。

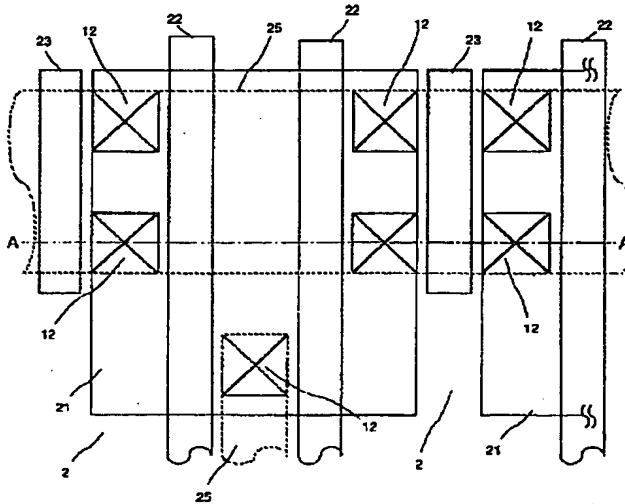
【0048】このような中央処理ユニット508の中のデータ伝送、他の複数の中央処理ユニットとの間のデータ通信、実装基板509との間のデータ伝送は、図中の両端矢印線で示される光ファイバ510を介して行なわれる。この計算機では、本発明の高速高集積の集積回路によるプロセッサ500、システム制御装置501、主記憶装置502などが並列に高速で動作するほか、データの授受を光伝送によって行なうようにしたため、1秒間当りの命令処理回数を大幅に増加することができた。

【0049】

【発明の効果】本発明によれば、論理回路部分のソース及びドレインに金属シリサイド又は金属によるソース電極及びドレイン電極を具備し、同時に、自己整合コンタクトを論理回路及びメモリ回路へ適用することが可能になり、論理回路とメモリ回路を混載した高速で高集積の半導体集積回路を実現することができる。即ち、金属シリサイド又は金属による電極の具備によってソース及びドレインの寄生抵抗が小さくなり、MOSFETの動作を高速化することができる。また、自己整合コンタクトの適用によって素子面積を小さくし、かつ、配置ピッチを短縮することができる。それによって寄生容量が低減され、集積度を大幅に増加させることができる。更に、この半導体集積回路をシステムに適用することにより、システムを高速化し、メモリ容量を大きくすることがで

【図2】

図2



きる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の第1の実施例を説明するための断面図。

【図2】第1の実施例を説明するための平面図。

【図3】第1の実施例の製造工程を説明するための断面図。

【図4】本発明の第2の実施例を説明するための断面図及び平面図。

10 【図5】本発明の第3の実施例を説明するための断面図。

【図6】本発明の第4の実施例を説明するための構成図。

【図7】従来の半導体装置の例を説明するための断面図。

【図8】従来の半導体装置の別の例を説明するための断面図。

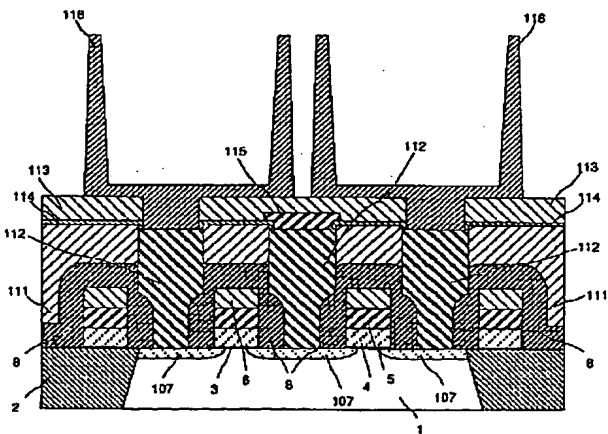
【図9】従来の半導体装置の更に別の例を説明するための断面図。

20 【符号の説明】

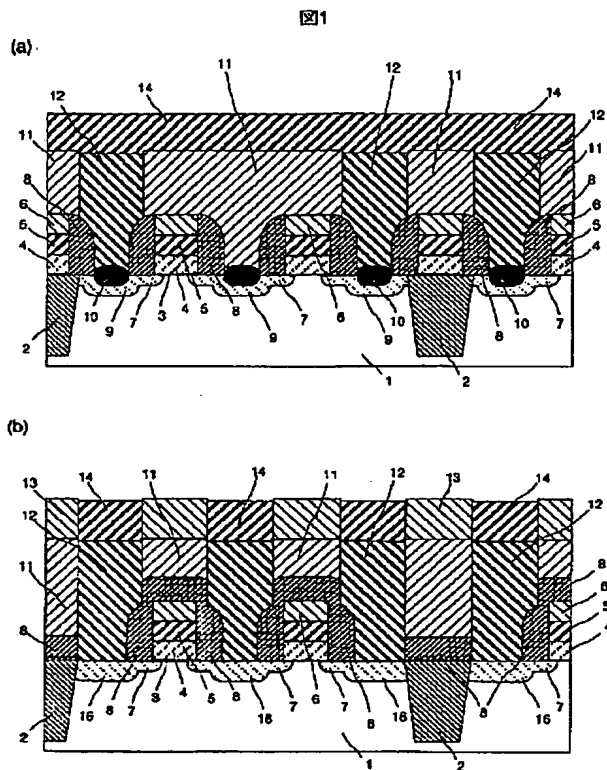
1…シリコン基板、2…素子分離領域、3…ゲート酸化膜、4…ゲート多結晶シリコン膜、5…金属ゲート電極、6…キャップ、7…不純物拡散層、9、16…ソース/ドレイン拡散層、8、11、13…絶縁膜、10、31…ソース/ドレイン電極、12…プラグ電極、14…配線層、21…トランジスタ活性領域、22…ゲート、23、30…ダミーゲート。

【図5】

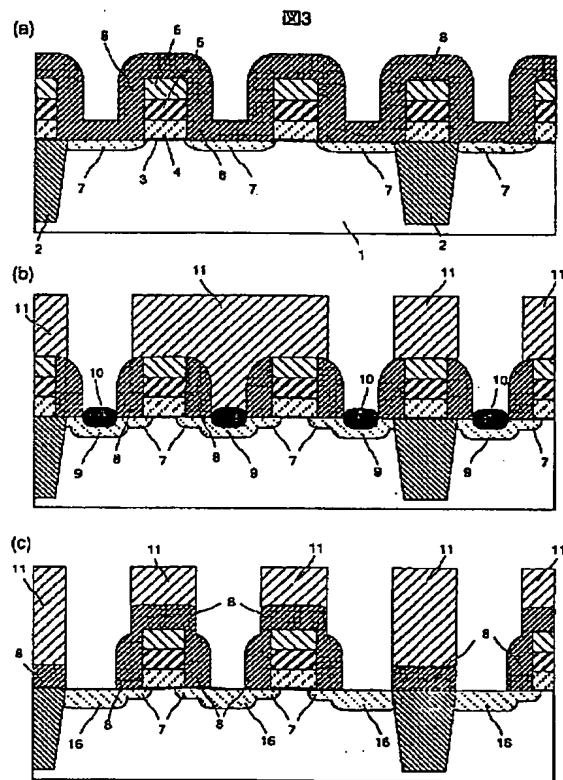
図5



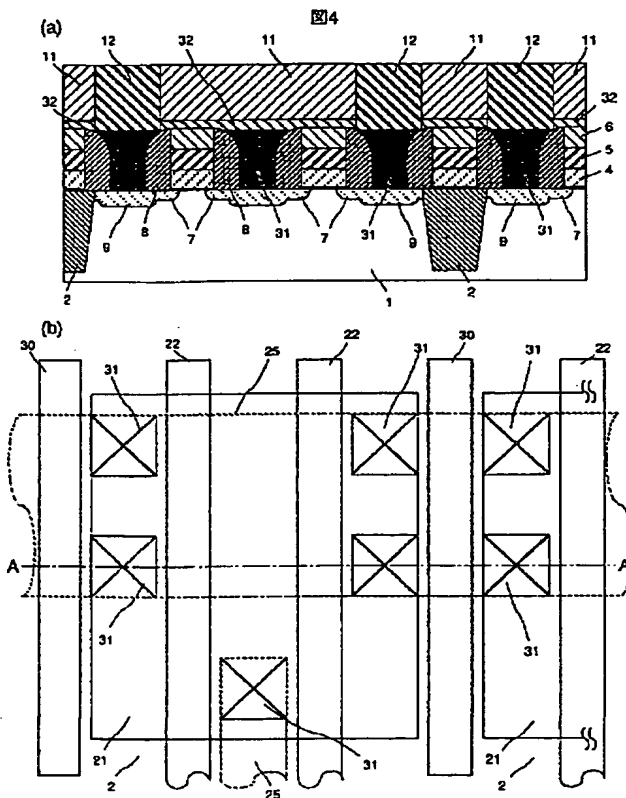
【図 1】



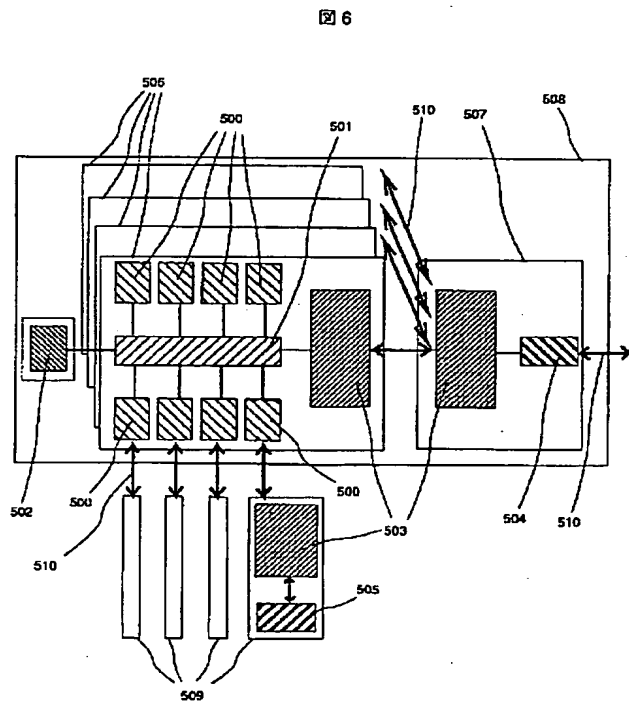
【図 3】



【図 4】

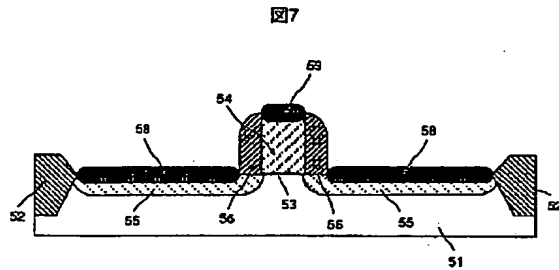


【図 6】

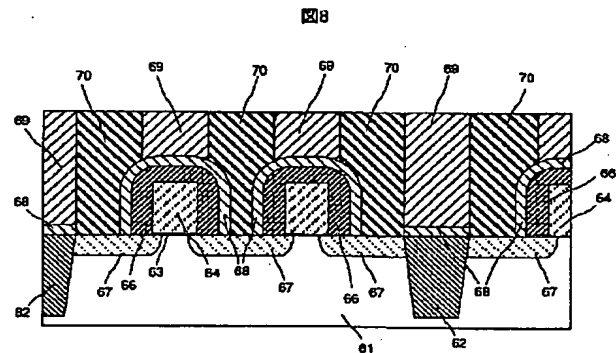


BEST AVAILABLE COPY

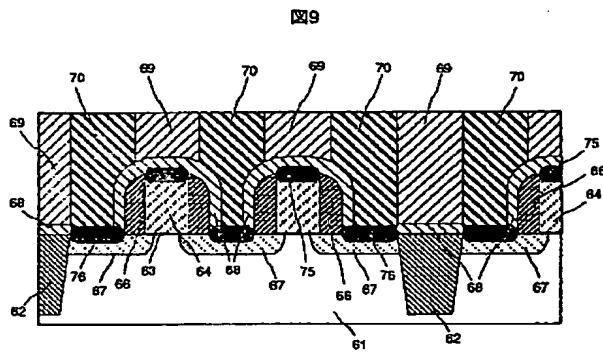
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 内野 俊
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 梅田 一徳
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 大西 和博
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 4M104 AA01 BB01 BB24 CC01 CC05
DD03 DD08 DD16 DD65 DD72
DD94 EE03 EE06 FF14 GG10
GG16 HH14
5F040 DA10 DB03 DC01 EB20 EC01
EC07 EC26 EF04 EF05 EH02
EH07 EJ02 EJ09 EK05 EL01
FA02 FA03 FA05
5F048 AA01 AB01 AB03 AC03 AC10
BA01 BA20 BB06 BB07 BB09
BE03 BF06 BF07 BF11 BF15
BF16 BG14 DA25 DA30

BEST AVAILABLE COPY